

TRANSLATION FROM THE GERMAN LANGUAGE

FEDERAL REPUBLIC OF GERMANY



Priority certificate of filing a patent application

File number: 103 05 365.4

Application date: February 10, 2003

Applicant/Proprietor: Infineon Technologies AG,
81669 Munich/Germany

Title: METHOD AND ARRANGEMENT FOR
CONTACTING TERMINALS

IPC: H 01 L 21/283

The enclosed documents are the correct and exact reproduction of the originally filed patent application.

Munich, February 26th 2004

The President of the German Patent and Trademark Office

By Order

/Signature/

Klostermeyer



**CERTIFIED COPY OF
PRIORITY DOCUMENT**



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen:	103 05 365.4
Anmeldetag:	10. Februar 2003
Anmelder/Inhaber:	Infineon Technologies AG, 81669 München/DE
Bezeichnung:	Verfahren und Anordnung zum Kontaktieren von Anschlüssen
IPC:	H 01 L 21/283

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 26. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

KOLN 11.11.04

Patentanwälte · Postfach 246 · 82043 Pullach bei München

Infineon Technologies AG
St.-Martin-Str. 53

81669 München

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977

e-mail: szsz_iplaw@t-online.de

Verfahren und Anordnung zum Kontaktieren von Anschlüssen

Beschreibung

Verfahren und Anordnung zum Kontaktieren von Anschlüssen

- 5 Die vorliegende Erfindung bezieht sich auf Verfahren und Anordnung zum Kontaktieren von Anschlüssen eines Substrats.

Bei bekannten Verfahren zum Herstellen eines Bipolartransistors werden auf einem Substrat ein Basisanschluß, ein Emitteranschluß und ein Kollektoranschluß erzeugt. Dabei wird bei einer Prozessierung der Emitteranschluß deutlich höher ausgebildet als die übrigen Anschlüsse, wie beispielsweise der Basisanschluß oder ein Gate-Anschluß. Werden insbesondere mehrere Bipolartransistoren bzw. mehrere Bipolar- und Feldefekttransistoren auf einem Substrat gefertigt, so tritt das Problem einer effizienten Kontaktierung der jeweiligen Anschlüsse aufgrund des jeweils höher ausgebildeten Emitteranschlusses auf.

- 20 Fig. 1 zeigt eine Halbleitervorrichtung mit einem Substrat 101, einem Kollektorkontakt 103, einem Basiskontakt 105 sowie einem Emitterkontakt 107, wie sie aus dem Stand der Technik bekannt ist. Dabei ist links von der eingezeichneten vertikalen Linie ein Bipolartransistor-Bereich und rechts von der Linie ein CMOS-Bereich dargestellt. Zum Herstellen der in Fig. 1 gezeigten Halbleitervorrichtung wird zunächst das Substrat 101 bereitgestellt, in dem der Kollektorkontakt 103 ausgebildet wird. In einem weiteren Verfahrensschritt wird auf dem Substrat 101 der Basiskontakt 105 ausgebildet, und es wird der Emitterkontakt beispielsweise auf einem Abschnitt des Basiskontakts erzeugt. Alle Bauelemente werden nach Prozessende FEOL (FEOL = front end of line) mit einem dünnen Nitridliner und nachfolgend beispielsweise mit einer BPSG-Schicht (BPSG = Bor-Phosphor-Silikat-Glas) 109 abgedeckt, welche in einem weiteren Verfahrensschritt auf eine Zieldicke planar zurückpoliert wird. Zum Kontaktieren der Kontakte 105, 107 und 103 werden dann in das BPSG bis zum Erreichen des

jeweiligen Anschlusses Kontaktlöcher (CT) geätzt und nach einer Linerabscheidung beispielsweise mit Wolfram gefüllt. Der elektrische Kontakt der Transistoren erfolgt daher über die mit Wolfram gefüllten Kontaktlöcher 111, 113 und 115.

5 Dabei erfolgt die Ätzung in zwei Schritten: Zunächst wird das BPSG vollständig geätzt, anschließend erfolgt ein Durchbruch des Nitridliners. In einem weiteren Verfahrensschritt wird auf die mit Wolfram gefüllten Kontaktlöcher 111, 113 und 115 eine erste strukturierte Metallebene 117 aufgebracht, mit der
10 nun eine Kontaktierung der jeweiligen Kontakte 111, 113 und 115 in einer Ebene erzeugt wird. In einem weiteren Verfahrensschritt wird mit Oxid aufgefüllt und planarisiert, und es werden weitere Kontaktlöcher bis zur ersten Metallebene 117 geätzt und mit Wolfram aufgefüllt. Auf den mit Wolfram ge-
15 füllten Löchern 119, 121 und 123 wird eine zweite strukturierte Metallebene 125 ausgebildet, die zu einer Kontaktierung der jeweiligen Anschlüsse 105, 107 und 103 dient.

Wird auf dem Substrat ferner ein Feldeffekttransistor integriert, so wird ein in Fig. 1 nicht eingezeichneter Gate-Anschluß auf einem Gate-Polystapel 127 integriert. Dabei ist der Gate-Polystapel 127 niedriger als beispielsweise der Emitterkontakt 107.

25 Aufgrund des höheren Emitterkontakts 107 (Emitterstack) ist eine verbleibende Oxiddicke über dem Emitterkontakt 107 bei der Kontaktlochätzung zu gering, um ein ausreichendes Gesamtprozeßfenster zu erzielen. Wird beispielsweise nach dem Polierschritt eine zu dünne BPSG-Schicht über dem Emitterkontakt 107 übriggelassen, so kann das mit Wolfram gefüllte Loch
30 111 zum Erzielen eines genügenden leitfähigen Kontakts nicht ausreichend strukturiert werden, so dass sich unter Umständen ein großer Übergangswiderstand zum Emitterkontakt 107 einstellt.

35

Ein weiteres Problem, das im Zusammenhang mit der Herstellung der in Fig. 1 gezeigten Halbleitervorrichtung auftritt, ist,

daß aufgrund der unterschiedlichen Höhen des beispielsweise Basiskontakts 105 und des Emitterkontakts 107 Löcher geätzt werden müssen, deren Tiefe unterschiedlich ist, was eine notwendigerweise unterschiedliche Ätzdauer der jeweiligen Kontaktlöcher nach sich zieht. Wird dabei beispielsweise das über dem Emitterkontakt 107 zu erzeugende Kontaktloch zu lange geätzt, so wird eine Oberfläche des Emitterkontakts 107 angegriffen und beschädigt, so daß die Kontaktlöcher nicht ohne vorherige Schutzvorkehrungen in einem Arbeitsgang geätzt werden können, was eine Verteuerung des Herstellungsprozesses nach sich zieht. Dabei sind die Anforderungen an eine Selektivität der Kontaktlochätzung zum Emitterkontakt 107, der beispielsweise aus Polysilizium besteht, sehr hoch und reduzieren weiter das Prozeßfenster bei dem Polierschritt des BPSG, der beispielsweise mit Hilfe des CMP-Verfahrens durchgeführt werden kann (BPSG CMP), sowie bei der anschließenden Kontaktlochätzung (CT Etch). Infolge der erhöhten Topologieanforderungen ist das Emitterpolysilizium dem Ätzangriff stets am stärksten ausgesetzt.

Ein weiterer Nachteil an der in Fig. 1 gezeigten Halbleitervorrichtung ist, daß zum Kontaktieren der jeweiligen Anschlüsse 103, 105 und 107 weitere mit Wolfram gefüllte Kontaktlöcher 119, 121 und 123 sowie die zweite strukturierte Metallebene 125 benötigt werden. Zum einen werden dadurch die Prozeßkosten erhöht, zum anderen muß zum Herstellen der in Fig. 1 gezeigten Halbleitervorrichtung ein komplexer Herstellungsprozeß, der aus einer Mehrzahl von Verfahrensschritten besteht, eingesetzt werden, so daß beispielsweise an die Prozeßstabilität hohe Anforderungen gestellt werden müssen, was eine weitere Verteuerung des Herstellungsprozesses nach sich zieht.

Ein weiterer Nachteil an der in Fig. 1 gezeigten Halbleitervorrichtung gemäß dem Stand der Technik ist, daß die jeweiligen Kontakte 103, 105 und 107 über eine Mehrzahl von Kontaktstrukturen, wie beispielsweise die mit Wolfram gefüllten

Löcher 111, 113 und 115, die erste Metallisierungsebene 117, die mit Wolfram gefüllten Löcher 119, 121 und 123 sowie über die zweite Metallisierungsebene 125 kontaktiert werden, wodurch aufgrund von etwaigen Kontaktungenauigkeiten sich
5 jeweils beispielsweise ein großer Kontaktwiderstand ausbilden kann, der zu einer Verschlechterung der elektrischen Eigenschaften (beispielsweise eine höhere Verlustleistung) sowie einer Performance des Bipolartransistors beiträgt.

10 Ein weiterer Nachteil an der in Fig. 1 gezeigten Halbleitervorrichtung ist darin zu sehen, daß aufgrund der zweiten Metallisierungsebene 125 sowie der mit Wolfram gefüllten Löcher 119, 121 und 123 eine räumliche Ausdehnung einer derartigen Halbleiterstruktur in vertikaler Richtung größer
15 wird, so daß beispielsweise höhere Anforderungen an die Prozeßstabilität bei der Erzeugung der BPSG-Schicht 109 gestellt werden müssen, was eine weitere Verteuerung des Herstellungsprozesses nach sich zieht.

20 Zum Erhöhen des als kritisch einzuschätzenden Prozeßfensters ist es denkbar, beispielsweise die BPSG-CMP-Spezifikation einzuschränken sowie die Höhe des Emitterstacks 107 auf ein Minimum zu reduzieren. Hierdurch wird jedoch das Prozeßfenster für die Kontaktlochätzung in einem gleichen Maße eingeschränkt, da bei einem zu geringen Emitterstack 107 dessen
25 Beschädigung durch einen Ätzvorgang schwerwiegend sein kann.

Werden beispielsweise auf einem Substrat Bipolartransistoren und Feldeffekttransistoren kontaktiert, so wird sich bei
30 zukünftigen bipolaren Technologien die Höhe des Emitterstacks 107 beispielsweise gegenüber einem Gateanschluß eines CMOS-Transistors (GC-Polystack) deutlich erhöhen. Dabei müssen auch die am tiefsten gelegenen Kontaktflächen, beispielsweise Source und Drain eines Feldeffekttransistors, die maximal auf
35 eine Höhe von beispielsweise 900 nm liegen, zuverlässig und restefrei geöffnet werden, ohne ein Emitterpolysilizium eines Bipolartransistors schädigend anzugreifen.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein effizientes Konzept zum Kontaktieren von Anschlüssen zu schaffen.

5

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 oder durch eine Vorrichtung gemäß Anspruch 12 gelöst.

Erfindungsgemäß wird zum Kontaktieren von Anschlüssen

10 zunächst ein Substrat mit einer Substratoberfläche bereitgestellt, wobei das Substrat einen ersten Anschluß mit einer ersten Anschlußoberfläche und einen zweiten Anschluß mit einer zweiten Anschlußoberfläche aufweist, wobei ein Abstand der ersten Anschlußoberfläche zur Substratoberfläche geringer
15 ist als ein Abstand der zweiten Anschlußoberfläche zur Substratoberfläche. Über der Substratoberfläche und über der ersten und zweiten Anschlußoberfläche wird eine erste isolierende Schicht ausgebildet, und es wird ein Kontaktloch in der ersten isolierenden Schicht zum Freilegen der ersten Anschlußoberfläche gebildet. Das Kontaktloch wird mit einem leitfähigen Material gefüllt und es wird eine zweite isolierende Schicht auf der ersten isolierenden Schicht und dem mit dem leitfähigen Material gefüllten Kontaktloch ausgebildet. Auf der zweiten isolierenden Schicht wird eine Ätzmaske
25 ausgebildet, wobei die Ätzmaske einen Bereich für einen ersten Kontaktanschluß und einen Bereich für einen zweiten Kontaktanschluß festlegt. Durch die zweite isolierende Schicht wird zum Freilegen des leitfähigen Materials, das das Kontaktloch füllt, eine erste Ausnehmung und durch die zweite und erste isolierende Schicht zum Freilegen der zweiten Anschlußoberfläche eine zweite Ausnehmung unter Verwendung der Metallisierungsmaske geätzt. In die erste und zweite Ausnehmung wird zur Erzeugung des ersten und zweiten Kontaktanschlusses leitfähiges Material eingebracht.

35

Die vorliegende Erfindung schafft ferner eine Anordnung zum Kontaktieren von Anschlüssen eines Substrats, das eine Sub-

stratoberfläche, einen ersten Anschluß mit einer ersten Anschlußoberfläche und einen zweiten Anschluß mit einer zweiten Anschlußoberfläche aufweist, wobei die erste Anschlußoberfläche von der Substratoberfläche weniger beabstandet als die zweite Anschlußoberfläche ist. Dabei weist die

5 erfindungsgemäße Anordnung folgende Merkmale auf: eine erste Isolationsschicht auf der Substratoberfläche mit einer Isolationsschichtoberfläche, die von der Substratoberfläche weiter beabstandet ist als die zweite Anschlußoberfläche, eine

10 zweite auf der ersten Isolationsschicht angeordnete Isolations-schicht, wobei die erste Isolationsschicht ein sich von der Isolationsschichtoberfläche zu der ersten Anschlußoberfläche erstreckendes Kontaktloch, das mit einem ersten leitfähigen Material gefüllt ist, und die zweite Isolations-

15 schicht eine dieselbe durchdringende, bis zu dem ersten leitfähigen Material erstreckende Ausnehmung aufweist, die mit einem zweiten leitfähigen Material gefüllt ist, und wobei durch die erste und zweite Isolationsschicht eine sich zu der zweiten Anschlußoberfläche erstreckende Ausnehmung gebildet

20 ist, die mit einem dritten leitfähigen Material gefüllt ist.

Der vorliegenden Erfindung liegt die Erkenntnis zugrunde, ein Anschluß eines Substrats bei einer Ausbildung eines Metallanschlusses unter Verwendung einer Ätzmaske kontaktiert werden

25 kann.

Ein Vorteil der vorliegenden Erfindung ist darin zu sehen, daß die Kontaktierung des Anschlusses, dessen Anschlußoberfläche am weitesten von der Substratoberfläche beabstandet

30 ist, nicht über eine zusätzliche Kontaktlochebene, sondern direkt über beispielsweise eine darüberliegende Metallebene mit einem herkömmlichen Single-Damascene-Prozeß durchgeführt wird, wodurch der Herstellungsprozeß vereinfacht und die Herstellungskosten gesenkt werden.

35

Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß das Problem unterschiedlicher Ätztiefen für die

Kontaktlöcher, wie es obenstehend beschrieben worden ist, nicht mehr existiert. Aus diesem Grund muß beispielsweise eine Standardkontaktlochätzung und -füllung nur geringfügig variiert werden, was zu einer weiteren Vereinfachung des
5 Herstellungsprozesses führt.

Ein weiterer Vorteil der vorliegenden Erfindung ist darin zu sehen, daß eine Anzahl von Kontaktübergängen zwischen den Metallanschlüssen und den Anschlüssen reduziert ist, was zu
10 einer Verminderung von parasitären Effekten, wie beispielsweise Kontaktwiderständen, und somit zu einer Verbesserung der elektrischen Eigenschaften sowie der Performance der Anordnung führt.

15 Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß zur Herstellung der erfindungsgemäßen Anordnung verglichen mit dem anhand der Fig. 1 diskutierten Stand der Technik weniger Verfahrensschritte eingesetzt werden, was zu einer weiteren Senkung der Herstellungskosten führt.

20 Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß aufgrund der erfindungsgemäßen Kontaktierung des Anschlusses, deren Anschlußoberfläche am weitesten von der Substratoberfläche beabstandet ist, das Prozeßfenster auf-
25 weitert wird, da zum einen keine Problematik der Strukturierung eines Kontaktlochs auftritt, und zum anderen eine Höhe des Anschlusses beliebig gewählt werden kann, was insbesondere dann von Vorteil ist, wenn der Anschluß beispielsweise einen großen Strom aufnehmen muß, was beispielsweise bei
30 Leistungstransistoren der Fall ist.

Ein weiterer Vorteil der vorliegenden Erfindung ist darin zu sehen, daß aufgrund der reduzierten Anzahl der Verfahrensschritte sowie deren Komplexität ein Herstellungsausschuß
35 reduziert wird, wodurch eine Herstellungsausbeute steigt, was zu einer weiteren Senkung der Herstellungskosten pro prozessiertem Stück führt.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend Bezug nehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

5

Fig. 1 eine herkömmliche Halbleitervorrichtung;

10

Fig. 2 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zum Kontaktieren von Anschlüssen gemäß der vorliegenden Erfindung;



Fig. 3 ein weiteres Ausführungsbeispiel eines Verfahrens zum Kontaktieren von Anschlüssen gemäß der vorliegenden Erfindung; und

15

Fig. 4 ein erstes Ausführungsbeispiel einer Anordnung zum Kontaktieren von Anschlüssen gemäß der vorliegenden Erfindung.

20 Fig. 2 zeigt ein erstes Ausführungsbeispiel eines Verfahrens zum Herstellen einer Anordnung zum Kontaktieren von Anschlüssen eines Substrats gemäß der vorliegenden Erfindung. Dabei veranschaulichen Fig. 2a bis 2h die Verfahrensschritte.



25 Zunächst wird, wie es in Fig. 2a dargestellt ist, ein Substrat 201 bereitgestellt, das eine Substratoberfläche 203 aufweist. Auf der Substratoberfläche 203 wird in einem weiteren Verfahrensschritt ein erster Anschluß 205 mit einer ersten Anschlußoberfläche 207 auf der Substratoberfläche 203 erzeugt. Gemäß dem in Fig. 2 dargestellten Ausführungsbeispiel weist der erste Anschluß 205 (Basis des npn Transistors) einen Stapel 209 auf, auf dem ein zweiter Anschluß 211 (Emitter des npn Transistors) mit einer zweiten Anschlußoberfläche 213 ausgebildet wird. Dabei ist der Stapel 209 (Emitterstapel) ein Bestandteil des ersten Anschlusses 205. An
30
35 dieser Stelle sei jedoch darauf hingewiesen, daß der zweite Anschluß 211 nicht unbedingt auf dem Emitterstapel 209 ausge-

bildet werden muß. Es ist ebenfalls denkbar, daß der erste Anschluß 205 und der zweite Anschluß 211 voneinander isoliert auf dem Substrat 201 ausgebildet werden.

- 5 In einem weiteren Verfahrensschritt, der in Fig. 2b dargestellt ist, wird über der Substratoberfläche 203 sowie über der ersten und der zweiten Anschlußoberfläche 207 und 213 eine erste isolierende Schicht 215, beispielsweise Oxid, ausgebildet. Der Schritt des Ausbildens der ersten isolierenden Schicht 215 kann ferner einen weiteren Schritt umfassen, in dem die erste isolierende Schicht auf eine Zieldicke zurückpoliert wird, wobei beispielsweise das bereits erwähnte CMP-Verfahren eingesetzt werden kann. Die Zieldicke wird dabei so gewählt, daß der zweite Anschluß 213 nach dem Schritt des Polierens der ersten isolierenden Schicht 215 weiterhin bedeckt bleibt und nicht freigelegt wird.

- In einem weiteren Schritt, der in Fig. 2c dargestellt ist, wird in der ersten isolierenden Schicht 215 ein Kontaktloch 217 zum Freilegen der ersten Anschlußoberfläche 207 ausgebildet, z. B. durch ein Ätzen in die erste isolierende Schicht 215 über dem ersten Anschluß 205. In einem weiteren Verfahrensschritt, der in Fig. 2d dargestellt ist, wird das Kontaktloch 217 mit einem leitfähigen Material 219 gefüllt. Dabei kann es sich bei dem leitfähigen Material 219 um ein Metall handeln, beispielsweise Wolfram oder Kupfer. Der Schritt des Füllens des Kontaktlochs 217 mit dem leitfähigen Material 219 umfaßt beispielsweise einen Schritt eines Aufbringens einer leitfähigen Schicht sowie einen Schritt eines Zurückpolierens der leitfähigen Schicht bis zur ersten isolierenden Schicht 215, beispielsweise mit Hilfe des bereits erwähnten CMP-Verfahrens, so daß im wesentlichen nur das Kontaktloch 217 mit dem leitfähigen Material 219 gefüllt ist. Dabei kann, bevor das leitfähige Material 219 in das Loch 217 gefüllt wird, das Loch 217 beispielsweise mit einem Ti(N) bzw. Ta(N) Liner ausgekleidet werden, um eine metallurgische Barriere zur ersten isolierenden Schicht 215 zu erzeugen.

In einem weiteren Verfahrensschritt, der in Fig. 2e dargestellt ist, wird auf der ersten isolierenden Schicht 215 sowie auf dem mit dem leitfähigen Material 219 gefüllten Kontaktloch 217 eine zweite isolierende Schicht 221 ausgebildet, beispielsweise ein Oxid oder das bereits erwähnte BPSG. Dabei wird zunächst die zweite isolierende Schicht beispielsweise abgeschieden und in einem weiteren Schritt beispielsweise mit Hilfe des bereits erwähnten CMP-Verfahrens zurückpoliert oder durch Ätzung zurückgeätzt.

In einem weiteren Verfahrensschritt wird auf die zweite isolierende Schicht 221 eine Ätzmaske 223 aufgebracht und strukturiert, wie es in Fig. 2f dargestellt ist. Bei der Strukturierung der Ätzmaske 223 werden ein Bereich 225 für einen ersten Kontaktanschluß und ein Bereich 227 für einen zweiten Kontaktanschluß festgelegt. Dabei ist der Bereich 225 über dem ersten Anschluß 205 ausgebildet und der Bereich 227 ist über dem zweiten Anschluß 211 ausgebildet. Durch die Strukturierung der Ätzmaske 223 wird zugleich beispielsweise eine Struktur einer Metallebene definiert, welche beispielsweise eine Verdrahtungsebene sein kann.

In einem weiteren Verfahrensschritt, der in Fig. 2g dargestellt ist, wird eine erste Ausnehmung 229 und eine zweite Ausnehmung 231 unter Verwendung der Ätzmaske 223, insbesondere in den durch die Bereiche 225 und 227 definierten Öffnungen der Ätzmaske, geätzt. Dabei wird die erste Ausnehmung 229 durch die zweite isolierende Schicht 221 zum Freilegen des leitfähigen Materials 219, das das Kontaktloch 217 füllt, geätzt. Die zweite Ausnehmung 231 wird analog durch die zweite isolierende Schicht 221 sowie durch die erste isolierende Schicht 215 zum Freilegen der zweiten Anschlußoberfläche 213 des zweiten Anschlusses 211 geätzt. Da sich das leitfähige Material 219, das das Kontaktloch 217 füllt, durch die erste isolierende Schicht 215 bis zur zweiten isolierenden Schicht 221 erstreckt, und da die zweite Oberfläche 213

von der Substratoberfläche 203 weniger beabstandet ist als eine obere Oberfläche des leitfähigen Materials 219, wird bei dem Schritt des Ätzens der ersten und der zweiten Ausnehmung 225 und 227 das leitfähige Material 219 unterätzt, wenn

5 beispielsweise die erste Ausnehmung 225 und die zweite Ausnehmung 227 in einem Arbeitsgang gleicher Zeitdauer geätzt werden, da die Tiefe der zweiten Ausnehmung 227 durch eine Position der zweiten Oberfläche 213 des zweiten Anschlusses 211 bestimmt ist. Dabei wird die zweite Oberfläche 213 einem

10 Ätzangriff weniger ausgesetzt, da nur bis zur zweiten Oberfläche 213 geätzt wird. Andererseits handelt es sich bei dem leitfähigen Material 219, das das Kontaktloch 217 füllt, um ein Verbindungsstück zum ersten Anschluß 205, so daß eine etwaige Anätzung des leitfähigen Materials 219 keine negativen Auswirkungen auf eine Funktionsweise der Anordnung hat,

15 zumal die erste Ausnehmung 225 sich nicht bis zur ersten Oberfläche 207 des ersten Anschlusses 205 erstreckt.

In einem weiteren Schritt, der in Fig. 2h dargestellt ist,

20 wird in die erste Ausnehmung 229 und in die zweite Ausnehmung 231 unter Verwendung der Ätzmaske und insbesondere unter Verwendung der durch die Ätzmaske festgelegten Bereiche 225 und 227 jeweils ein leitfähiges Material 233 und 235 eingebracht, wodurch ein erster Kontaktanschluß 237 und ein zweiter

25 Kontaktanschluß 239 erzeugt werden. Der Schritt des Einbringens des leitfähigen Materials 233 und des leitfähigen Materials 235 kann durch ein Abscheiden von beispielsweise Metall (z. B. Kupfer) durchgeführt werden, wobei das leitfähige Material 233 und das leitfähige Material 235 aus demselben Metall bestehen. An dieser Stelle sei jedoch darauf

30 hingewiesen, daß es sich bei dem leitfähigen Material 233 und bei dem leitfähigen Material 235 nicht notwendigerweise um gleiche Metalle handeln muß. Es ist beispielsweise denkbar, daß in der ersten Ausnehmung 229 beispielsweise Kupfer abgeschieden wird und daß in der zweiten Ausnehmung 231 beispielsweise Wolfram oder ein anderes Metall abgeschieden

35 wird. Bei den leitfähigen Materialien 233 und 235 muß es sich

ferner nicht notwendigerweise um Metalle handeln. Es ist ebenfalls denkbar, daß die erste Ausnehmung 229 und/oder daß die zweite Ausnehmung 231 mit einem leitfähigen Substrat, beispielsweise dotiertes Polysilizium, ausgefüllt werden.

5

In einem weiteren Verfahrensschritt kann die Ätzmaske 223 beispielsweise durch Ätzen beseitigt werden, so daß der erste Kontaktanschluß 225 und der zweite Kontaktanschluß 227 auch seitlich zum Kontaktieren frei zugänglich sind. In einem weiteren Verfahrensschritt kann auf der zweiten isolierenden Schicht 221 beispielsweise eine Passivierungsschicht abgeschieden werden, die die Anordnung beispielsweise vor einer Korrosion schützt.

10

Bei dem Schritt des Einbringens des ersten leitfähigen Materials 233 und des zweiten leitfähigen Materials 235 in jeweils eine der Ausnehmungen 229 und 231 wird das jeweils eingebrachte leitfähige Material nach beispielsweise dem Abscheiden mit Hilfe von z. B. des bereits erwähnten CMP-Verfahrens vorzugsweise bis zur Ätzmaske 223 zurückpoliert bzw bis zur Oberfläche von 221 wenn die Ätzmaske entfernt wurde.

20

In den anhand von Fig. 2h beschriebenen Verfahrensschritten wird deutlich, daß zum Ausbilden der ersten Ausnehmung 229 und der zweiten Ausnehmung 231 sowie zur Erzeugung des ersten Kontaktanschlusses 237 und des zweiten Kontaktanschlusses 239 dieselbe Ätzmaske 223 verwendet wird. Handelt es sich bei dem leitfähigen Material 233 und bei dem leitfähigen Material 235 um das gleiche leitfähige Material, so können der erste Kontaktanschluß 237 und der zweite Kontaktanschluß 239 in einem Arbeitsgang erzeugt werden, wodurch gleichzeitig eine Kontaktierung des zweiten Anschlusses 211 beispielsweise zur Verdrahtungsebene realisiert wird. Dabei kann ein Kontakt zur zweiten Oberfläche 213 des zweiten Anschlusses 211 beliebig genau strukturiert werden, so daß beispielsweise eine genügend große Kontaktfläche zum zweiten Anschluß 211 realisiert

30

35

werden kann, um beispielsweise einen geringen Übergangswiderstand zum zweiten Anschluß 211 zu erzielen.

5 Darüber hinaus wird das leitfähige Material 219, das das Kontaktloch 217 füllt, aufgrund der in Fig. 2g und in Fig. 2h gezeigten Unterätzung bei der Ausbildung der ersten Ausnehmung 229 derart freigelegt, so daß das leitfähige Material 233 das leitfähige Material 219, das das Kontaktloch 217 füllt, sowohl seitlich als auch über die obere Oberfläche des leitfähigen Materials 219 kontaktiert, so daß beispielsweise
10 ein Übergangswiderstand zum ersten Anschluß 205 reduziert wird. Dadurch, daß das leitfähige Material 219 auf der ersten Oberfläche 207 des ersten Anschlusses 205 genau strukturiert werden kann, ist auch dort ein geringer Übergangswiderstand
15 zu erwarten, wodurch sich beispielsweise die elektrischen Eigenschaften der erfindungsgemäß hergestellten Anordnung verbessern.

Das anhand der Fig. 2a - 2h diskutierte erfindungsgemäße
20 Verfahren zum Kontaktieren von Anschlüssen kann beispielsweise dazu herangezogen werden, beispielsweise die Anschlüsse eines auf dem Substrat 201 ausgebildeten Bipolartransistors zu kontaktieren. In diesem Fall ist der erste Anschluß 205 ein Basisanschluß oder ein Kollektoranschluß und der zweite
25 Anschluß 211 ist ein Emitteranschluß des Bipolartransistors. Handelt es sich bei dem ersten Anschluß 205 um den Basisanschluß und bei dem zweiten Anschluß 211 um den Emitteranschluß, so ist es ebenfalls denkbar, mit Hilfe des erfindungsgemäßen Verfahrens auch einen Kollektoranschluß, der in
30 den Fig. 2a - 2h nicht dargestellt ist, beispielsweise wie den Anschluß 205 zu kontaktieren.

Das erfindungsgemäße Verfahren kann vorzugsweise auch zum Kontaktieren von Anschlüssen eines Feldeffekttransistors
35 herangezogen werden. In diesem Falle handelt es sich bei dem ersten Anschluß 205 beispielsweise um einen Source- oder einen Drainanschluß und bei dem zweiten Anschluß 211 um

beispielsweise einen Gateanschluß. Im Unterschied zu dem in Fig. 2a bis Fig. 2h dargestellten Fall würde bei der Kontaktierung eines Feldeffekttransistors der erste Anschluß 205 derart ausgebildet sein, daß er kein Podest 209 (Stapel) aufweist, auf dem der zweite Anschluß 211 ausgebildet ist. Der zweite Anschluß 211 würde in diesem Falle viel mehr auf dem Substrat 201 und von dem ersten Anschluß 205 beabstandet angeordnet sein.

10 Darüber hinaus ist es denkbar, daß auf dem Substrat 201 ein oder mehrere erste Anschlüsse 205 bereitgestellt werden, der oder die jeweils ein Basisanschluß oder ein Kollektoranschluß eines Bipolartransistors oder ein Gateanschluß, ein Sourceanschluß oder ein Drainanschluß eines Feldeffekttransistors sind. Das erfindungsgemäße Verfahren kann in diesem Falle
15 dazu eingesetzt werden, sowohl die Anschlüsse der Bipolartransistoren als auch die Anschlüsse der Feldeffekttransistoren, die auf dem Substrat 201 bereitgestellt sind, zu kontaktieren, wie es anhand der Fig. 2a - 2h bereits diskutiert
20 worden ist.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen Verfahrens zum Kontaktieren von Anschlüssen. Dabei sind in den Fig. 3a - 3c einige Verfahrensschritte
25 dargestellt, um ein prinzipielles Konzept des erfindungsgemäßen Verfahrens bei einer Kontaktierung von beispielsweise einem Bipolartransistor und beispielsweise einem Feldeffekttransistor zu erläutern. Dabei kennzeichnet die in den Fig. 3a - 3c dargestellte vertikale Linie jeweils einen Bipolartransistorbereich, der sich links von der Linie erstreckt,
30 und einen Feldeffekttransistorbereich, der sich rechts von der Linie erstreckt. Aus Gründen der Übersichtlichkeit wurde in den Figuren 3a - 3c auf eine Darstellung des Kollektoranschlusses bzw. seiner Kontaktierung verzichtet. Es sei jedoch
35 angemerkt, daß die Kontaktierung des Kollektoranschlusses parallel zu der des Basisanschlusses unter Ausnutzung der gleichen Verfahrensschritte erfolgen kann. Die Lage des

Kollektoranschlusses kann der in Fig. 1 gezeigten entsprechen.

5 In der nachfolgenden Beschreibung des bevorzugten Ausführungsbeispiels aus Fig. 3 werden Elemente, die bereits anhand der Fig. 2a - 2h erläutert worden sind, mit den gleichen Bezugszeichen versehen. Eine erneute Beschreibung dieser Elemente erfolgt nicht. Ferner sind in den Figuren gleiche Elemente mit gleichen Bezugszeichen versehen.

10

In Fig. 3a ist ein Zustand der erfindungsgemäßen Anordnung dargestellt, der mit dem in Fig. 2d dargestellten Zustand korrespondiert. Wie in Fig 3 gezeigt ist, erstreckt sich auf der Substratoberfläche 203 eine erste isolierende Schicht 303
15 seitlich auf dem Substrat 201 in den Feldeffektortransistorbereich. Das Substrat 203 weist ferner einen Gateanschluß 301 auf, der beispielsweise aus Polysilizium besteht und der auf der Substratoberfläche 203 ausgebildet ist.

20 In einem weiteren Verfahrensschritt werden die weiteren Kontaktlöcher 305 und 307 beispielsweise durch Ätzen in die ersetzen Isolierschicht 303 ausgebildet. Vorzugweise werden die weiteren Löcher 305 und 307 gemeinsam mit dem Kontaktloch 217 in einem Arbeitsgang ausgebildet. Es ist jedoch ebenfalls
25 denkbar, daß beispielsweise das weitere Kontaktloch 305 zunächst ausgebildet wird und daß die Kontaktlöcher 217 und 307 in einem weiteren Verfahrensschritt erzeugt werden. Dabei erstreckt sich das Kontaktloch 307 durch die ersetzen Isolationsschicht 303 bis zur Substratoberfläche 201, um bei-
30 spielsweise einen weiteren Anschluß, der in Fig. 2a nicht eingezeichnet ist und der beispielsweise ein Source- oder ein Drainanschluß eines Feldeffekttransistors ist, freizulegen. Dabei befindet sich der weitere Anschluß des Feldeffekttransistors beispielsweise in dem Substrat 201 und ist beispielsweise
35 weise links neben dem Gateanschluß 301 angeordnet.

Das Kontaktloch 307 erstreckt sich durch die isolierende Schicht 303 bis zum Gateanschluß 301, so daß ein Bereich einer Oberfläche des Gateanschlusses freigelegt wird. In einem weiteren Verfahrensschritt wird das Kontaktloch 217 mit dem leitfähigen Material 219 gefüllt, das weitere Kontaktloch 305 wird mit einem leitfähigen Material 309 gefüllt, und das weitere Kontaktloch 307 wird mit einem leitfähigen Material 311 gefüllt. Dabei kann das leitfähige Material 219 dem leitfähigen Material 309 und dem leitfähigen Material 311 gleichen. In diesem Fall wird beispielsweise in dem Schritt des Ausbildens des jeweiligen leitfähigen Materials 217, 309 und 311 beispielsweise in einem Arbeitsgang beispielsweise ein Metall, bei dem es sich um Wolfram handeln kann, abgeschieden. An dieser Stelle sei jedoch darauf hingewiesen, daß die leitfähigen Materialien 217, 309 und 311 sich jeweils voneinander unterscheiden, so daß beispielsweise in die Kontaktlöcher 217, 305 und 307 jeweils verschiedene Metalle eingebracht werden. Wie es bereits im Zusammenhang mit dem in Fig. 2 dargestellten Ausführungsbeispiel diskutiert worden ist, müssen die leitfähigen Materialien, 217, 309 und 311 nicht notwendigerweise aus Metall bestehen. Denkbar ist es ebenfalls, daß ein Metallgemisch in die Löcher 217, 305 und 307 eingebracht wird. Darüber hinaus ist es ebenfalls denkbar, daß es sich bei den leitfähigen Materialien 219, 309 und 311 nicht um Metalle, sondern beispielsweise um ein leitfähiges Polysilizium handelt, das beispielsweise in den Kontaktlöchern 217, 305 und 307 abgeschieden wird.

In einem weiteren Verfahrensschritt werden die in die Kontaktlöcher 217, 305 und 307 eingebrachten leitfähigen Materialien 219, 309 und 311 zurückpoliert, wobei hierzu beispielsweise das bereits erwähnte CMP-Verfahren eingesetzt werden kann.

In Fig. 3b sind weitere Schritte des erfindungsgemäßen Verfahrens dargestellt. Zunächst wird auf die ersetzten Isolationschicht sowie auf die leitfähigen Materialien 219, 309 und

311 eine zweite Isolationsschicht, beispielsweise ein Oxid, angeordnet. Auf die zweite Isolationsschicht 313 wird in einem weiteren Schritt eine weitere Ätzmaske abgeschieden, die in dem in Fig. 3b dargestellten Ausführungsbeispiel nicht eingezeichnet ist. Unter Verwendung der weiteren Ätzmaske werden in einem weiteren Schritt eine dritte Ausnehmung 315 sowie eine vierte Ausnehmung 317 beispielsweise gemeinsam mit der ersten Ausnehmung 229 und mit der zweiten Ausnehmung 231 ausgebildet. An dieser Stelle sei jedoch darauf hingewiesen, daß die dritte Ausnehmung 315 sowie die vierte Ausnehmung 317 in einem weiteren Schritt ausgebildet werden können, nachdem die erste und die zweite Ausnehmung 229 und 213 ausgebildet worden sind. Werden die Ausnehmungen 229, 231, 315 und 317 in einem Arbeitsgang durch beispielsweise Ätzen ausgebildet, so ist eine Tiefe der Ausnehmungen durch eine Höhe des zweiten Anschlusses 211, d. h. eine Position der zweiten Oberfläche 213, festgelegt. Dabei werden sowohl das leitfähige Material 219 als auch die leitfähigen Materialien 309 und 311 freigelegt und, wie es in dem in Fig. 2b dargestellten Bild eingezeichnet ist, unterätzt, so daß sich die Ausnehmungen 229, 315 und 317 derart erstrecken, daß beispielsweise das weitere leitfähige Material 311 auch seitlich bis zu einer bestimmten Höhe freigelegt ist.

In Fig. 3c sind weitere Schritte des erfindungsgemäßen Verfahrens verdeutlicht. In die dritte Ausnehmung 315 wird ein leitfähiges Material 319 eingebracht und in die vierte Ausnehmung 317 wird ein leitfähiges Material 321 eingebracht, wobei die leitfähigen Materialien 319 und 321 beispielsweise in einem Arbeitsgang zusammen mit den leitfähigen Materialien 233 und 235 ausgebildet werden, wobei ein Metall, beispielsweise Kupfer, abgeschieden wird. Dadurch werden die leitfähigen Materialien 309 und 311 sowie das leitfähige Material 219 und der zweite Anschluß 211, bei dem es sich beispielsweise um einen Emitteranschluß eines Bipolartransistors handeln kann, in einem Arbeitsgang kontaktiert, wie es bereits im

Zusammenhang mit den in Fig. 2 dargestellten Ausführungsbeispiel diskutiert worden ist.

Im Gegensatz zum herkömmlichen Prozeß wird der zweite Anschluß 211, bei dem es sich beispielsweise um einen Emitter handeln kann, nicht in einer Kontaktlochebene CT (W-Plug) kontaktiert, sondern beispielsweise in einem Rahmen eines Metall-1-Single-Damascene-Prozesses. Nach erfolgter Polierung von beispielsweise des leitfähigen Materials 219, das beispielsweise Wolfram ist, wobei die Polierung beispielsweise mit Hilfe des CMP-Verfahrens durchgeführt wird, erfolgt eine Weiterprozessierung zum Ausbilden einer Emitterkontaktierung beispielsweise mit einem herkömmlichen Kupfer- (Cu) Single-Damascene-Prozesses, um die Metallebene zu erzeugen, bei der es sich beispielsweise um eine Metall-1-Ebene handeln kann. Dafür wird ganzflächig beispielsweise Oxid abgeschieden und über eine Lackmaske vorzugsweise mittels Plasmaätzen strukturiert. Danach erfolgt die Liner/Seed-Abscheidung sowie beispielsweise ein elektrochemisches Füllen der Oxidgräben mit Kupfer. Dieses wird in einem abschließenden Polierschritt bis auf Oxidniveau zurückpoliert, wobei vorzugsweise das bereits erwähnte CMP-Verfahren eingesetzt werden kann.

Die Strukturübertragung für den Emitterkontakt erfolgt dabei, wie es bereits detailliert beschrieben worden ist, ebenfalls über die Ätzmaske (Metall-1-Maske), wobei eine Metallätzung (M1-Etch) derart erfolgt, daß dabei die Ätzung des Oxids/BPSG vorzugsweise bis zu einer Höhe des Emitters erfolgt. Anschließend wird in einem weiteren Plasmaätzschritt der beispielsweise unter dem BPSG abgeschiedene Nitridliner durchbrochen. Der Emitter wird also, wie die M1-Bahnen, mit Kupfer gefüllt und dadurch kontaktiert. Zu einer Reinigung der Emitteroberfläche kann dabei beispielsweise eine Naßätzung und/oder ein Plasma-Preclean Verwendung finden. In diesem Fall wäre nur eine geringfügige Änderung beispielsweise gegenüber einer Standard-M1-Reinigung notwendig.

Wie es bereits erwähnt worden ist, existiert bei dem erfindungsgemäßen Verfahren das Problem unterschiedlicher Ätztiefen für das Kontaktloch nicht mehr, d. h. die Standardkontaktlochätzung und -füllung muß nur geringfügig variiert werden. Vorzugsweise erfolgt dabei die Kontaktierung des Emitters mit einem herkömmlichen Single-Damascene-Prozeß direkt über die darüberliegende Metall-1-Ebene und nicht mehr über die Kontaktlochebene, wie es aus dem Stand der Technik bekannt ist.

Fig. 4 zeigt ein erstes Ausführungsbeispiel einer Anordnung zum Kontaktieren von Anschlüssen eines Substrats, wobei die in Fig. 4 gezeigte Anordnung vorzugsweise mit Hilfe des erfindungsgemäßen Verfahrens, das bereits anhand der Fig. 2a - 2h bereits diskutiert worden ist, hergestellt wird.

Im Gegensatz zu der in Fig. 2h dargestellten Anordnung, die nach einer Vervollständigung der erfindungsgemäßen Verfahrensschritte entsteht, ist das sich von einer Isolations-schichtoberfläche 401 zu der ersten Anschlußoberfläche 207 erstreckende Kontaktloch mit einem ersten leitfähigen Material 403 gefüllt. Die erste Ausnehmung 229 ist mit einem zweiten leitfähigen Material 405 gefüllt. Die zweite Ausnehmung 231 ist mit einem dritten leitfähigen Material 407 gefüllt.

Darüber hinaus weist die in Fig. 4 dargestellte Anordnung die in Fig. 2h dargestellte Ätzmaske 223 nicht mehr auf.

Dadurch, daß die Isolationsschichtoberfläche 401 von der Substratoberfläche 203 weiter beabstandet ist als die zweite Anschlußoberfläche 213, ist das erste leitfähige Material 403 höher ausgebildet als der zweite Anschluß 211. Das erste leitfähige Material 403 ist mit dem zweiten leitfähigen Material 405 leitfähig verbunden, wobei die leitfähige Verbindung nicht nur über eine obere Oberfläche des leitfähigen Materials 403, sondern auch seitlich davon ausgebildet ist, so daß sich, wie bereits erwähnt, ein geringer Übergangswi-

derstand zwischen dem ersten Kontaktanschluß 237 und dem ersten Anschluß 205 einstellt. Weiterhin kann das leitfähige Material 403 bei der Erzeugung von 229 teilweise oder komplett abgetragen werden bis auf das Niveau der Oberfläche 213. Darüber hinaus kontaktiert die zweite Anschlußoberfläche 213 des zweiten Anschlusses 211 das dritte leitfähige Material 407 ganzflächig, so daß sich beispielsweise ein geringer Übergangswiderstand zwischen dem zweiten Kontaktanschluß 239 und dem zweiten Anschluß 211 einstellt.

10

In dem in Fig. 4 dargestellten Ausführungsbeispiel ist das erste leitfähige Material 403 beispielsweise Wolfram oder ein anderes Material, das leitfähig ist, wie beispielsweise Polysilizium. Bei dem zweiten leitfähigen Material 405 und bei dem dritten leitfähigen Material 407 kann es sich beispielsweise um Kupfer oder ebenfalls um Wolfram handeln. Denkbar ist es jedoch auch, daß es sich bei den leitfähigen Materialien 403, 405 und 407 beispielsweise um Metallverbindungen handelt, die aus verschiedenen Metallen zusammengesetzt sind.

20

Da der erste Kontaktanschluß 237 und der zweite Kontaktanschluß 239 beispielsweise eine Verdrahtungsebene bilden, können der erste Anschluß 205 und der zweite Anschluß 211 über die Kontaktanschlüsse 237 und 239 kontaktiert werden, um die in Fig. 4 dargestellte Anordnung in Betrieb zu setzen.

5

Die in Fig. 4 dargestellte Anordnung kann ferner beispielsweise ein Bipolartransistor sein, der über die Kontaktanschlüsse 237 und 239 kontaktiert wird. Dabei ist der erste Anschluß 205 beispielsweise ein Basisanschluß des Bipolartransistors und der zweite Anschluß 211 beispielsweise ein Emitteranschluß des Bipolartransistors, wobei ein Kollektoranschluß, der beispielsweise in dem Substrat 201 ausgebildet ist, nicht dargestellt ist. Der Kollektoranschluß kann jedoch in der gleichen Weise kontaktiert sein, wie es bei dem ersten Anschluß 205 der Fall ist.

30

35

Die erfindungsgemäße Anordnung kann vorzugsweise in den Designs der Chipgenerationen für GSM- oder UMTS-Anwendungen (Handy, WLAN) eingesetzt werden. Dabei werden zur Einstellung
5 einer Trägerfrequenz (Triple- und Quadbandbausteine) und zum Betreiben von Leistungsverstärkern verlustarme und schnelle Schaltelemente benötigt. Diese lassen sich zur Zeit (und in absehbarer Zukunft) nur durch Bipolartransistoren auf Siliziumebene, die beispielsweise durch das Substrat 201 gebildet
10 wird, realisieren. Zukünftige CMOS-Shrinkgenerationen haben ihre Verwendbarkeit noch nicht beweisen können. Um beispielsweise den UMTS-Markt mit Treibern und Leistungsverstärkern beliefern zu können, werden kupferbasierte Bipolartransistoren benötigt (und entwickelt). Die erfindungsgemäße Anordnung,
15 so wie sie beispielsweise in Fig. 4 dargestellt ist, kann somit in Chips für Mobilfunkanwendungen eingesetzt werden, da beispielsweise das erfindungsgemäße Verfahren, wie es anhand von Fig. 2 bereits erklärt worden ist, eine Kupferkontaktierung der Anschlüsse eines Bipolartransistors ermöglicht.
20

Patentansprüche

1. Verfahren zum Kontaktieren von Anschlüssen mit folgenden Schritten:

5

Bereitstellen eines Substrats (101; 201) mit einer Substratoberfläche (203), wobei das Substrat (101, 201) einen ersten Anschluß (205) mit einer ersten Anschlußoberfläche (207) und einen zweiten Anschluß (211) mit einer zweiten Anschlußoberfläche (213) aufweist, wobei ein Abstand der ersten Anschlußoberfläche (207) zur Substratoberfläche (201) geringer ist als ein Abstand der zweiten Anschlußoberfläche (213) zur Substratoberfläche (201);

10

15 Ausbilden einer ersten isolierenden Schicht (215) über der Substratoberfläche (203) und über der ersten und zweiten Anschlußoberfläche (207, 213);

20

Bilden eines Kontaktlochs (217) in der ersten isolierenden Schicht (215) zum Freilegen der ersten Anschlußoberfläche (207);

Füllen des Kontaktlochs (217) mit einem leitfähigen Material (219);

25

Ausbilden einer zweiten isolierenden Schicht (221) auf der ersten isolierenden Schicht (215) und dem mit dem leitfähigen Material (219) gefüllten Kontaktloch (217);

30

Ausbilden einer Ätzmaske auf der zweiten isolierenden Schicht (221), wobei die Ätzmaske einen Bereich (225) für einen ersten Kontaktanschluß (237) und einen Bereich (227) für einen zweiten Kontaktanschluß (239) festlegt;

35

Ätzen einer ersten Ausnehmung (229) durch die zweite isolierende Schicht (221) zum Freilegen des leitfähigen Materials (219), das das Kontaktloch (217) füllt, und einer zweiten


Ausnehmung (231) durch die zweite und erste isolierende Schicht (221, 215) zum Freilegen der zweiten Anschlußoberfläche (213) unter Verwendung der Ätzmaske; und

- 5 Einbringen eines leitfähigen Materials (233, 235) in die erste Ausnehmung (229) und in die zweite Ausnehmung (231) zur Erzeugung des ersten und zweiten Kontaktanschlusses (237, 239).
- 10 2. Verfahren gemäß Anspruch 1, bei dem der erste Anschluß (205) ein Basisanschluß oder ein Kollektoranschluß und der zweite Anschluß (211) als ein auf einem Stapel (209) angeordneter Emitteranschluß eines Bipolartransistors sind.
- 15 3. Verfahren gemäß Anspruch 1, bei dem der erste Anschluß (205) ein Source- oder ein Drainanschluß und der zweite Anschluß (211) ein Gateanschluß eines Feldeffekttransistors sind.
- 20 4. Verfahren gemäß einem der Ansprüche 1 - 3, bei dem ein oder mehrere erste Anschlüsse (205) auf dem Substrat (201) bereitgestellt werden, der oder die jeweils ein Basisanschluß oder ein Kollektoranschluß eines Bipolartransistors oder ein Gateanschluß, ein Sourceanschluß oder ein Drainanschluß eines
25 Feldeffekttransistors sind.
5. Verfahren gemäß einem der Ansprüche 1 - 4, bei dem das leitfähige Material (233), das die erste Ausnehmung (229) füllt, und/oder das leitfähige Material (235), das die zweite
30 Ausnehmung (231) füllt, aus Metall sind.
6. Verfahren gemäß einem der Ansprüche 1 - 5, bei dem das leitfähige Material (219), das das Kontaktloch (217) füllt, Wolfram ist.


7. Verfahren gemäß einem der Ansprüche 1 - 6, bei dem das leitfähige Material (233, 235), das in der ersten und in der zweiten Ausnehmung (229, 231) eingebracht ist, Kupfer ist.

5 8. Verfahren gemäß einem der Ansprüche 1 - 7, bei dem der erste Kontaktanschluß (237) und der zweite Kontaktanschluß (239) eine Verdrahtungsebene bilden.

10 9. Verfahren gemäß einem der Ansprüche 1 - 8, bei dem in dem Schritt des Bildens des Kontaktlochs (217) das Kontaktloch (217) geätzt wird.

 10. Verfahren gemäß einem der Ansprüche 1 - 9, bei dem die erste Ausnehmung (229) und die zweite Ausnehmung (231) in
15 einem Arbeitsgang geätzt werden.

11. Verfahren gemäß einem der Ansprüche 1 bis 10, bei dem das leitfähige Material (233, 235) in die erste und in die zweite Ausnehmung (229, 231) eingebracht wird, so daß der
20 erste und der zweite Kontaktanschluß (237, 239) in einem Arbeitsgang erzeugt werden.

 25 12. Anordnung zum Kontaktieren von Anschlüssen eines Substrats (201), das eine Substratoberfläche (203), einen ersten Anschluß (205) mit einer ersten Anschlußoberfläche (207) und einen zweiten Anschluß (211) mit einer zweiten Anschlußoberfläche (213) aufweist, wobei die erste Anschlußoberfläche (207) von der Substratoberfläche (203) weniger beabstandet ist als die zweite Anschlußoberfläche (213), mit folgenden
30 Merkmalen:

einer ersten Isolationsschicht (215) auf der Substratoberfläche (203) mit einer Isolationsschichtoberfläche (401), die von der Substratoberfläche (203) weiter beabstandet ist als
35 die zweite Anschlußoberfläche (213);

einer zweiten auf der ersten Isolationsschicht (215) angeordneten Isolationsschicht (221);

5 wobei die erste Isolationsschicht (215) ein sich von der Isolationsschichtoberfläche (401) zu der ersten Anschlußoberfläche (207) erstreckendes Kontaktloch (217), das mit einem ersten leitfähigen Material (403) gefüllt ist, und die zweite Isolationsschicht (221) eine dieselbe durchdringende, bis zu dem ersten leitfähigen Material (403) erstreckende Ausnehmung
10 (217) aufweist, die mit einem zweiten leitfähigen Material (405) gefüllt ist; und

wobei durch die erste und zweite Isolationsschicht (215, 221) eine sich zu der zweiten Anschlußoberfläche (213) erstreckende Ausnehmung (231) gebildet ist, die mit einem dritten
15 leitfähigen Material (407) gefüllt ist.

13. Anordnung gemäß Anspruch 12, bei der der erste Anschluß (205) ein Basisanschluß oder ein Kollektoranschluß und der
20 zweite Anschluß (211) ein auf einem Stapel (209) angeordneter Emitteranschluß eines Bipolartransistors sind.

14. Anordnung gemäß Anspruch 12, bei der der erste Anschluß (205) ein Source- oder ein Drainanschluß und der zweite
25 Anschluß (211) ein Gateanschluß eines Feldeffekttransistors sind.

15. Anordnung gemäß einem der Ansprüche 12 - 14, bei der ein oder mehrere erste Anschlüsse (205) auf dem Substrat (201) ausgebildet sind, der oder die jeweils ein Basisanschluß oder
30 ein Kollektoranschluß eines Bipolartransistors oder ein Gateanschluß, ein Sourceanschluß oder ein Drainanschluß eines Feldeffekttransistors sind.

35 16. Anordnung gemäß einem der Ansprüche 12 - 15, bei der das leitfähige Material (403) und oder das zweite leitfähige

Material (405) und/oder das dritte leitfähige Material (407) aus Metall sind.

17. Anordnung gemäß einem der Ansprüche 12 - 16, bei der das
5 erste leitfähige Material (403) Wolfram ist.

18. Anordnung gemäß einem der Ansprüche 12 - 17, bei der das
zweite und/oder das dritte leitfähige Material (405, 407)
Kupfer ist.

10

19. Anordnung gemäß einem der Ansprüche 12 - 18, bei der das
zweite leitfähige Material (405) mit dem ersten leitfähigen
Material (403) leitfähig verbunden ist und einen ersten
Kontaktanschluß (237) bildet, und bei der das dritte leitfä-
15 hige Material (407) mit dem zweiten Anschluß (211) leitfähig
verbunden ist und einen zweiten Kontaktanschluß (239) bildet.

20. Anordnung gemäß einem der Ansprüche 12 - 19, bei der der
erste und der zweite Kontaktanschluß (237, 239) eine Verdrah-
20 tungsebene bilden.

Zusammenfassung

Verfahren und Anordnung zum Kontaktieren von Anschlüssen

- 5 In einem Verfahren zum Kontaktieren von Anschlüssen wird ein Substrat mit einem ersten Anschluß und einem zweiten Anschluß bereitgestellt, wobei eine Anschlußoberfläche des ersten Anschlusses weniger von einer Substratoberfläche beabstandet ist als eine Oberfläche des zweiten Anschlusses. Über der
- 10 Substratoberfläche wird eine erste isolierende Schicht ausgebildet, in der ein Kontaktloch zum Freilegen der Anschlußoberfläche des ersten Anschlusses gebildet wird. Das Kontaktloch wird mit einem leitfähigen Material gefüllt und es wird eine zweite isolierende Schicht auf der ersten isolierenden
- 15 Schicht und auf dem mit dem leitfähigen Material gefüllten Kontaktloch ausgebildet. Unter Verwendung einer Ätzmaske wird eine erste Ausnehmung zum Freilegen des leitfähigen Materials, das das Kontaktloch füllt, und eine zweite Ausnehmung durch die zweite und erste isolierende Schicht zum Freilegen
- 20 der zweiten Anschlußoberfläche geätzt. In die erste und in die zweite Ausnehmung wird ein leitfähiges Material zur Erzeugung eines ersten und eines zweiten Kontaktanschlusses eingebracht. Dadurch wird erreicht, daß der zweite Anschluß bei der Erzeugung des zweiten Kontaktanschlusses kontaktiert
- 25 wird.

Figur 2h

Bezugszeichenliste

101	Substrat
103	Kollektorkontakt
105	Basiskontakt
107	Emitterkontakt
109	BPSG
111	mit Wolfram gefülltes Kontaktloch
113	mit Wolfram gefülltes Kontaktloch
115	mit Wolfram gefülltes Kontaktloch
119	mit Wolfram gefülltes Kontaktloch
121	mit Wolfram gefülltes Kontaktloch
123	mit Wolfram gefülltes Kontaktloch
117	erste strukturierte Metallebene
125	zweite strukturierte Metallebene
127	Gate-Polystapel
201	Substrat
203	Substratoberfläche
205	erster Anschluß
207	erste Anschlußoberfläche
209	Stapel
211	zweiter Anschluß
213	zweite Anschlußoberfläche
215	erste isolierende Schicht
217	Kontaktloch
219	leitfähiges Material
221	zweite isolierende Schicht
223	Ätzmaske
225	Bereich für einen ersten Kontaktanschluß
227	Bereich für einen zweiten Kontaktanschluß
229	erste Ausnehmung
231	zweite Ausnehmung
233	leitfähiges Material
235	leitfähiges Material
237	erster Kontaktanschluß
239	zweiter Kontaktanschluß
301	Gateanschluß

303 dritte isolierende Schicht
305 weiteres Kontaktloch
307 weiteres Kontaktloch
309 leitfähiges Material
311 leitfähiges Material
313 vierte isolierende Schicht
315 dritte Ausnehmung
317 vierte Ausnehmung
319 leitfähiges Material
321 leitfähiges Material
401 Isolationsschichtoberfläche
403 erstes leitfähiges Material
405 zweites leitfähiges Material
407 drittes leitfähiges Material

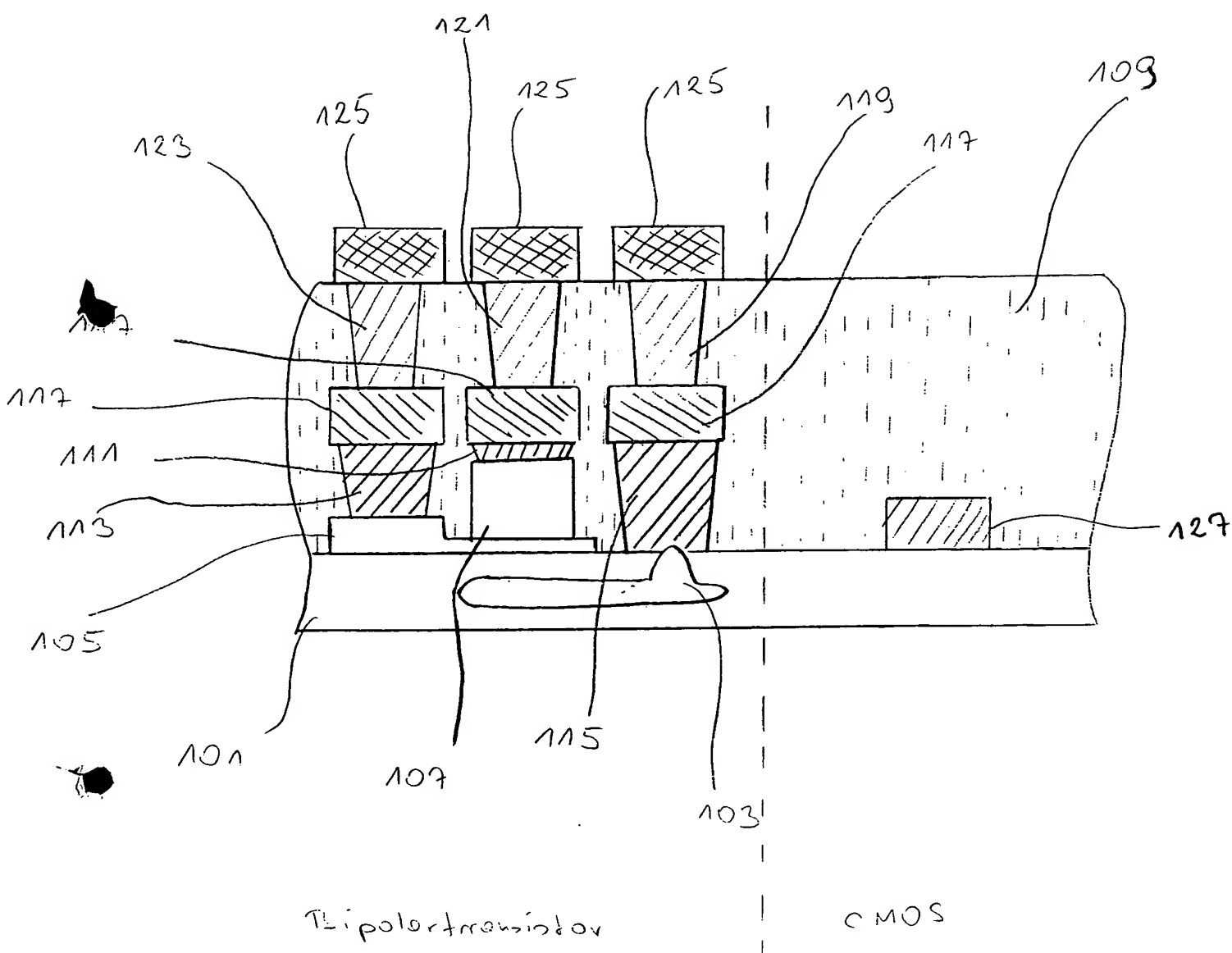
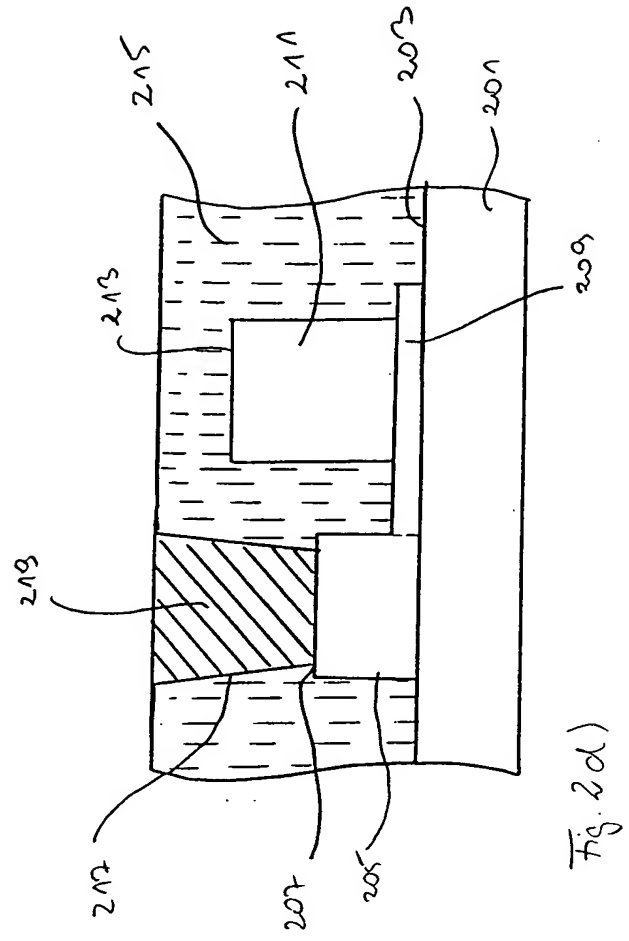
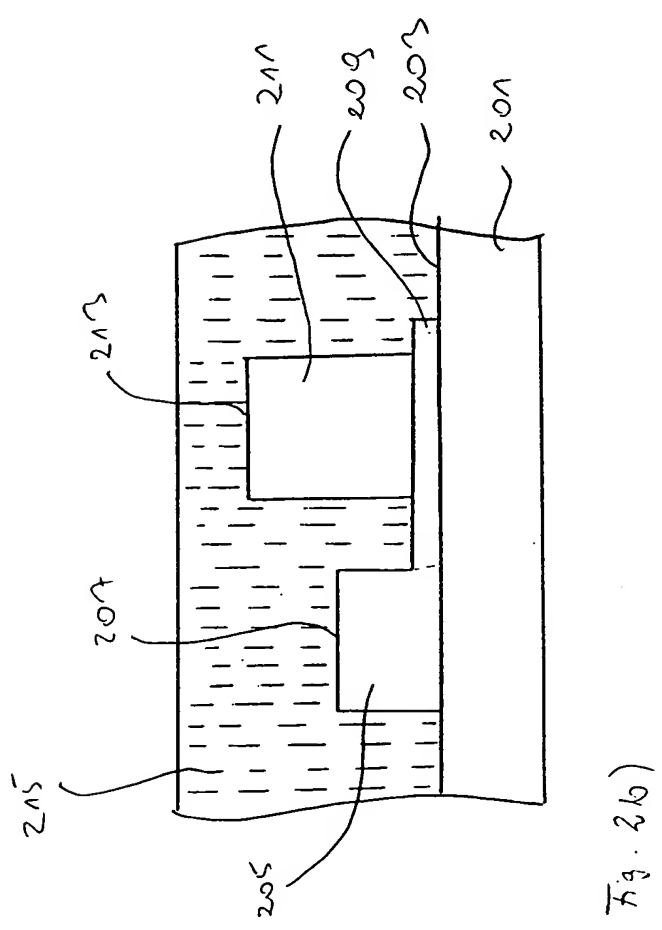
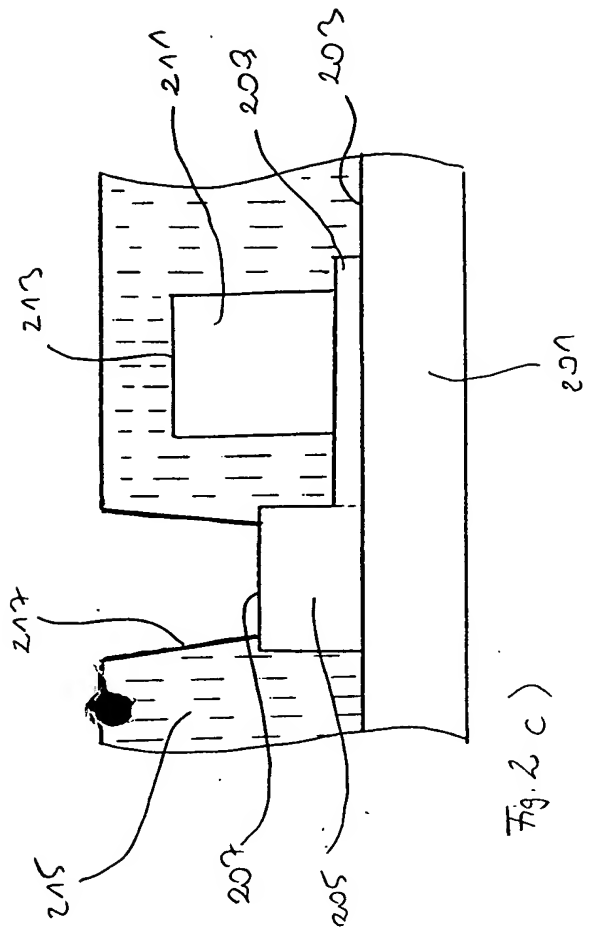
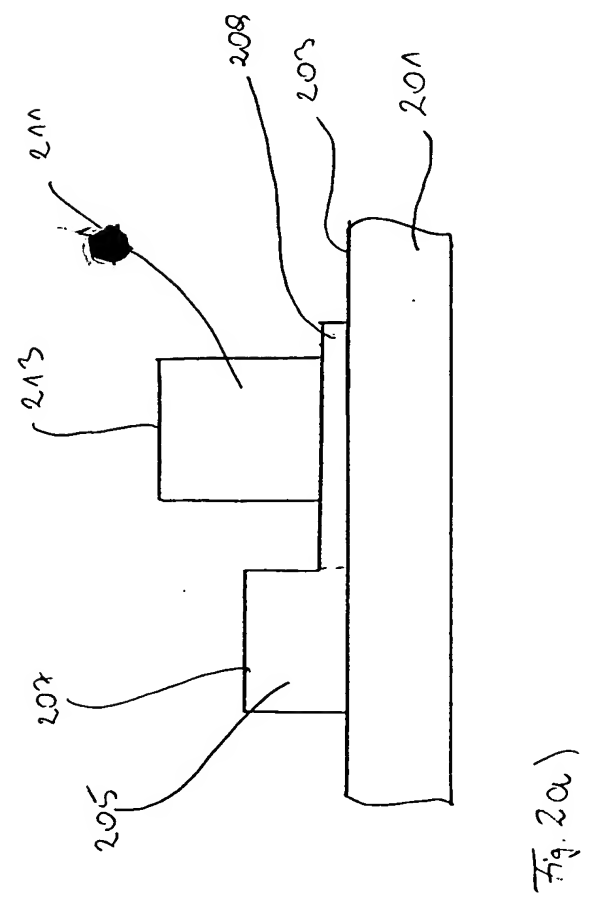


Fig. 1



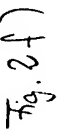
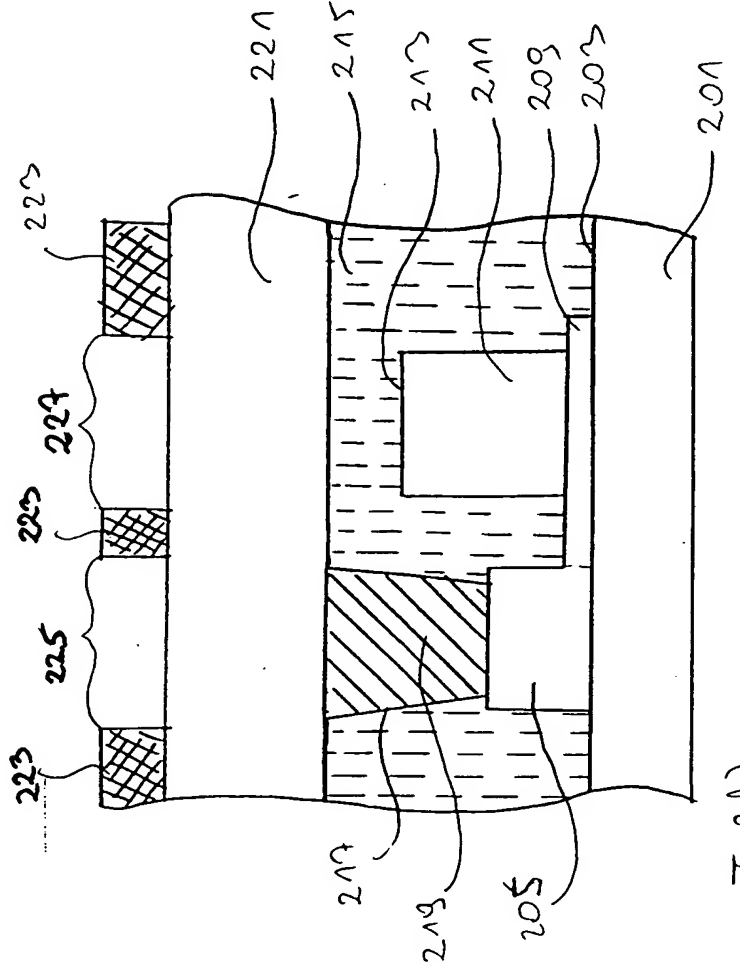
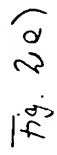
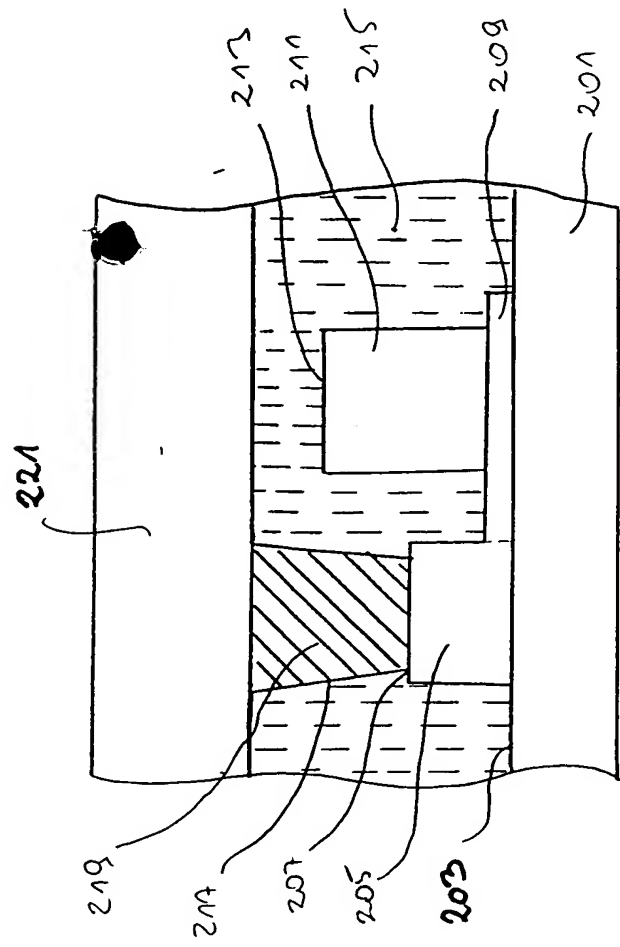
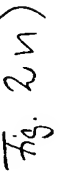
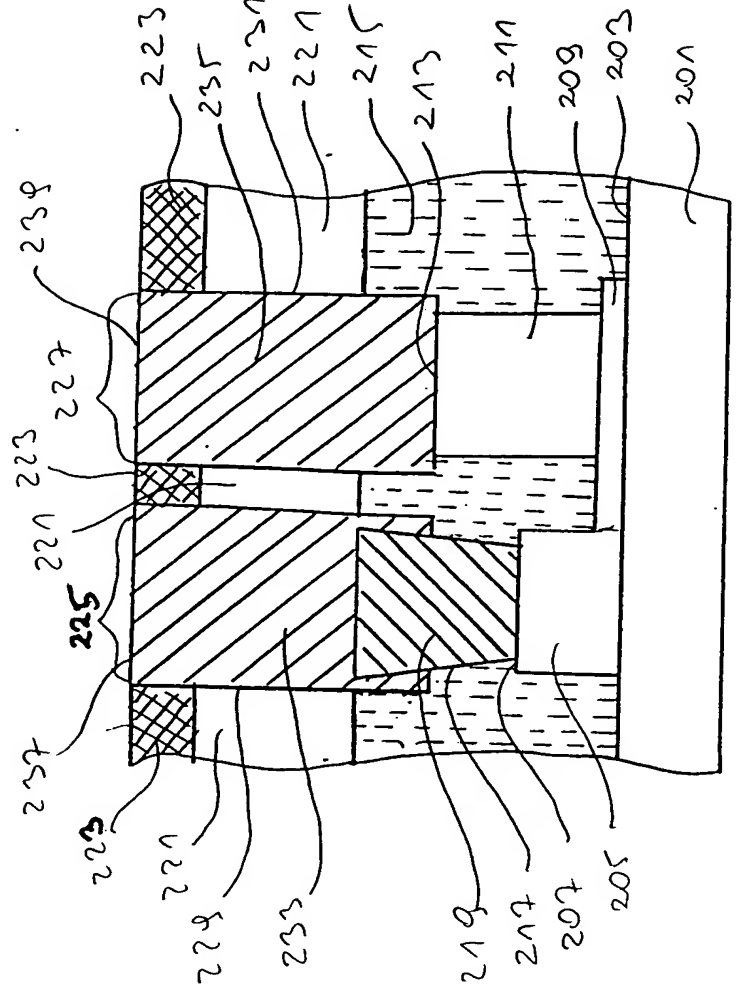
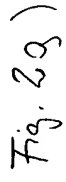
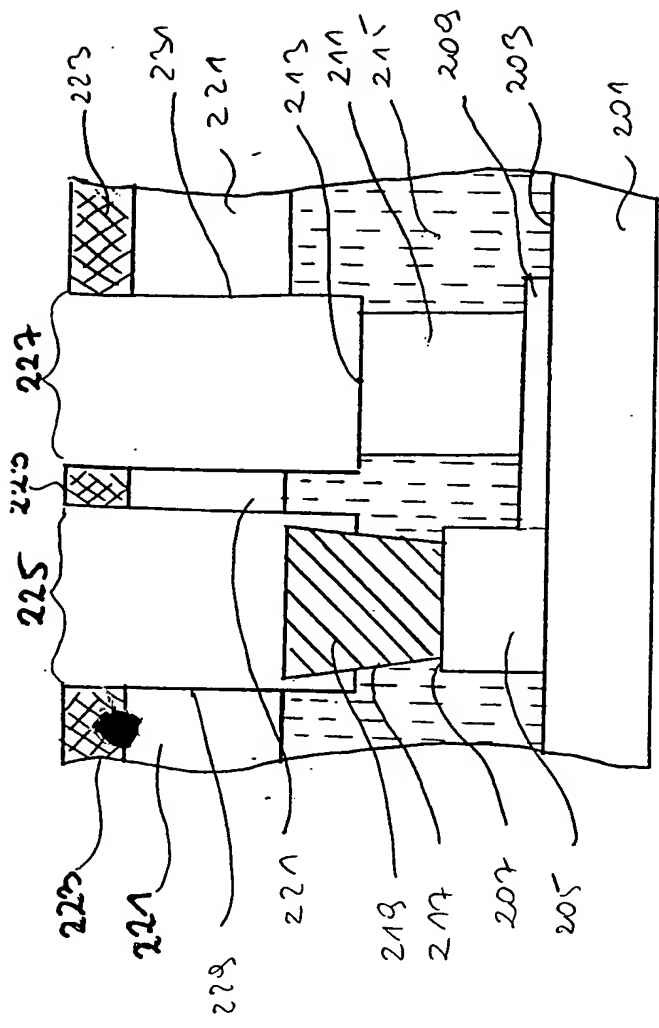


Fig. 3a)

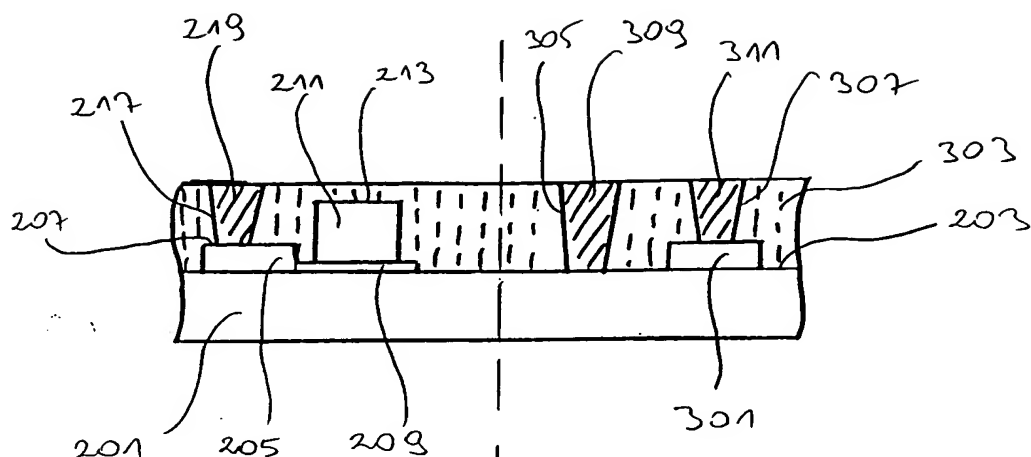


Fig. 3b)

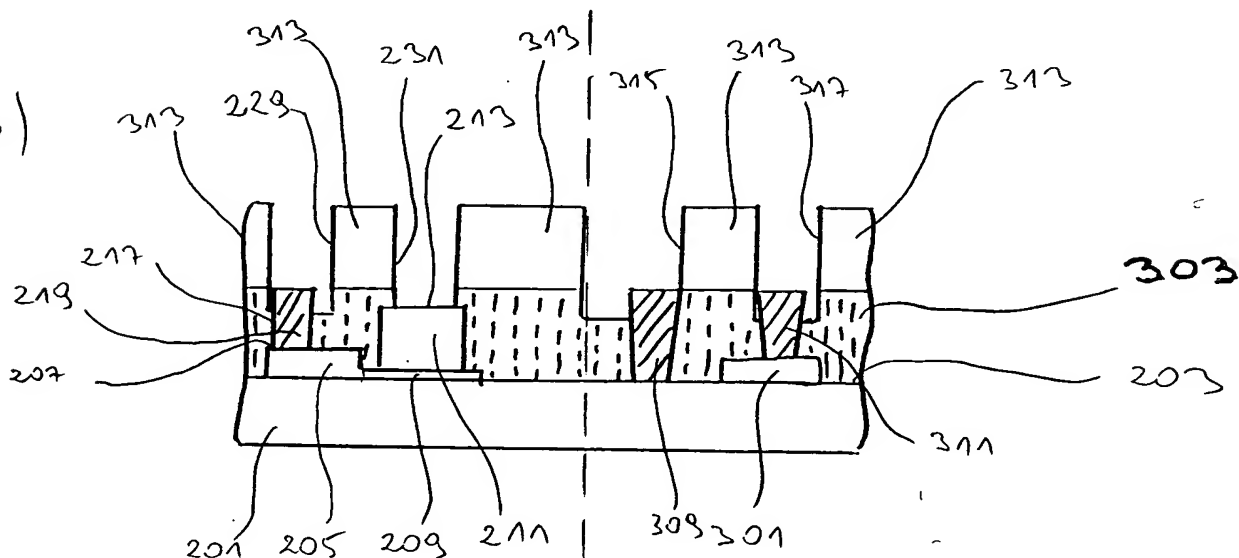
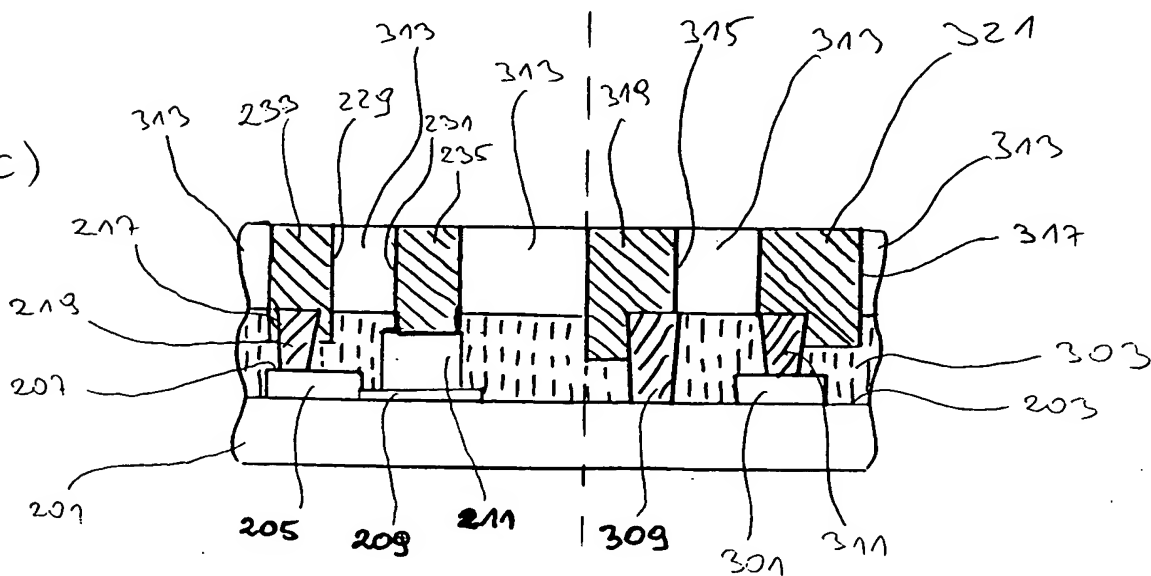


Fig. 3c)



Bipolartransistor

Feldeffekttransistor

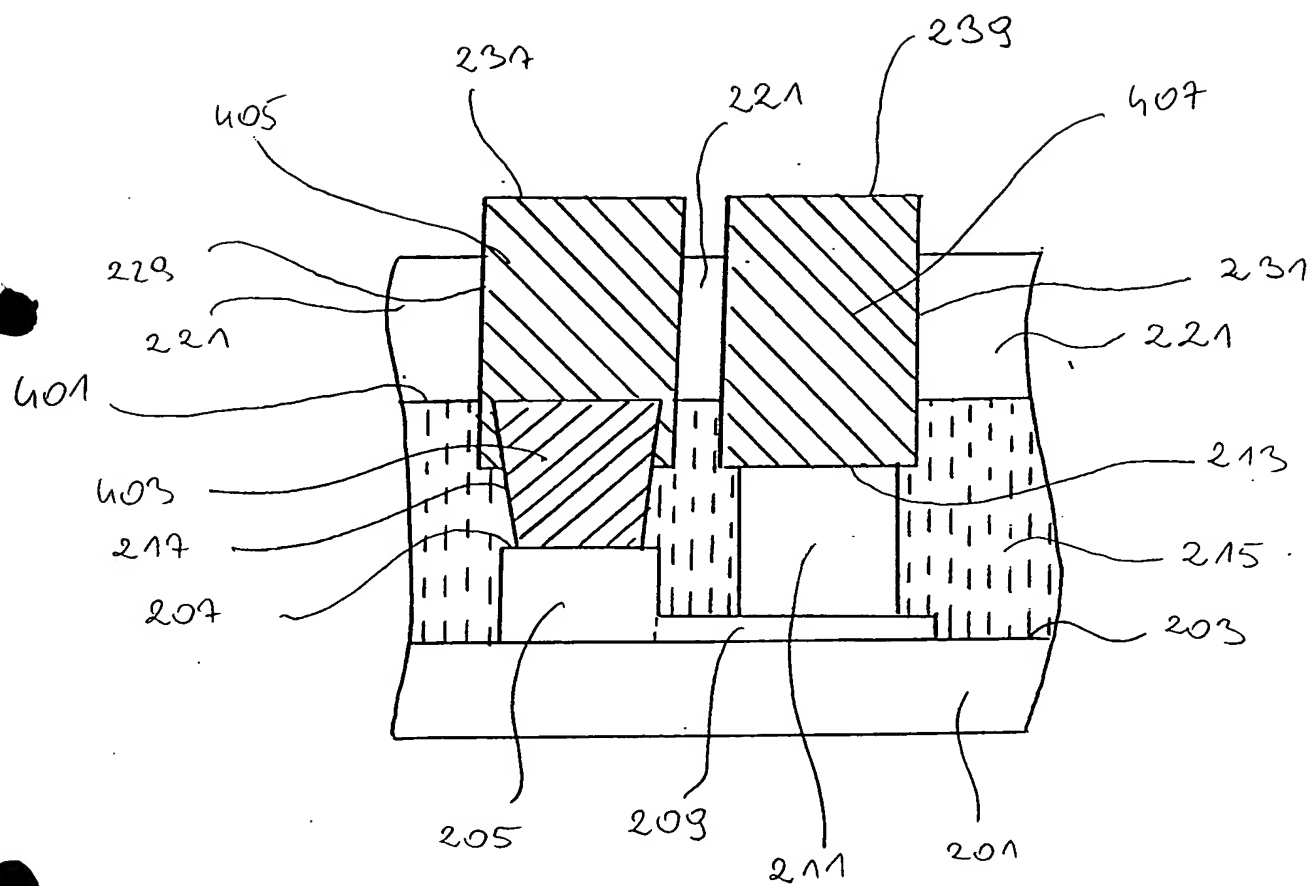


Fig. 4